

MX535-MX ハードウェア仕様書



テラソリューション株式会社
〒101-0052 東京都千代田区神田小川町2-6 大宮第2ビル
Mail info@terasolution.jp
URL <http://www.terasolution.jp/>

マニュアル更新履歴

年 月	版数	更新概要
2011.8.23	0.1	初版
2012.7.31	1.0	全体的に修正

- ・ 各社名および製品名は各社の登録商標および商標です。

目次

1.	概要.....	1
2.	仕様.....	1
3.	ブロック図.....	2
4.	機能詳細.....	3
4.1.	CPU.....	3
4.2.	DRAM.....	3
4.3.	JTAG.....	4
4.4.	SATA.....	4
4.5.	キャリア基板接続コネクタ.....	5
5	ポートマップ.....	10
5.1.	I2C.....	10
6.	BOOT.....	10
7.	LED.....	10
8.	SWITCH.....	10
9.	寸法図.....	11

1. 概要

本リファレンスは、Freescale 社製アプリケーションプロセッサ「i.MX535」を用いたモジュールです。多くの信号は拡張コネクタに接続されていますのでユーザーがキャリア基板を用意することにより独自に機能が使用出来ます。

2. 仕様

本モジュールの仕様を下表に示します。

表 1 仕様

項目	仕様/デバイス	備考
CPU	Freescale semiconductor- i.MX535(ARM Cortex A8™ 1GHz)	
RAM	DDR3 2Gb(128MBx16) x2	
SATA	1.5Gbps	オプション
電源	+3.8VDC ±5%	
消費電力	T.B.D.	
動作温度	0°C~55°C	
動作湿度	30%~85%RH 結露なきこと	
外形寸法	85x65mm SATA 有り高さ 5.85mm (部品面)、SATA 無し高さ 2mm (部品面) 2mm (半田面) 基板厚 1.6mm	取付けネジ、キャリア接続コネクタは含まず

3. ブロック図

本リファレンスのブロック図を下図に示します。

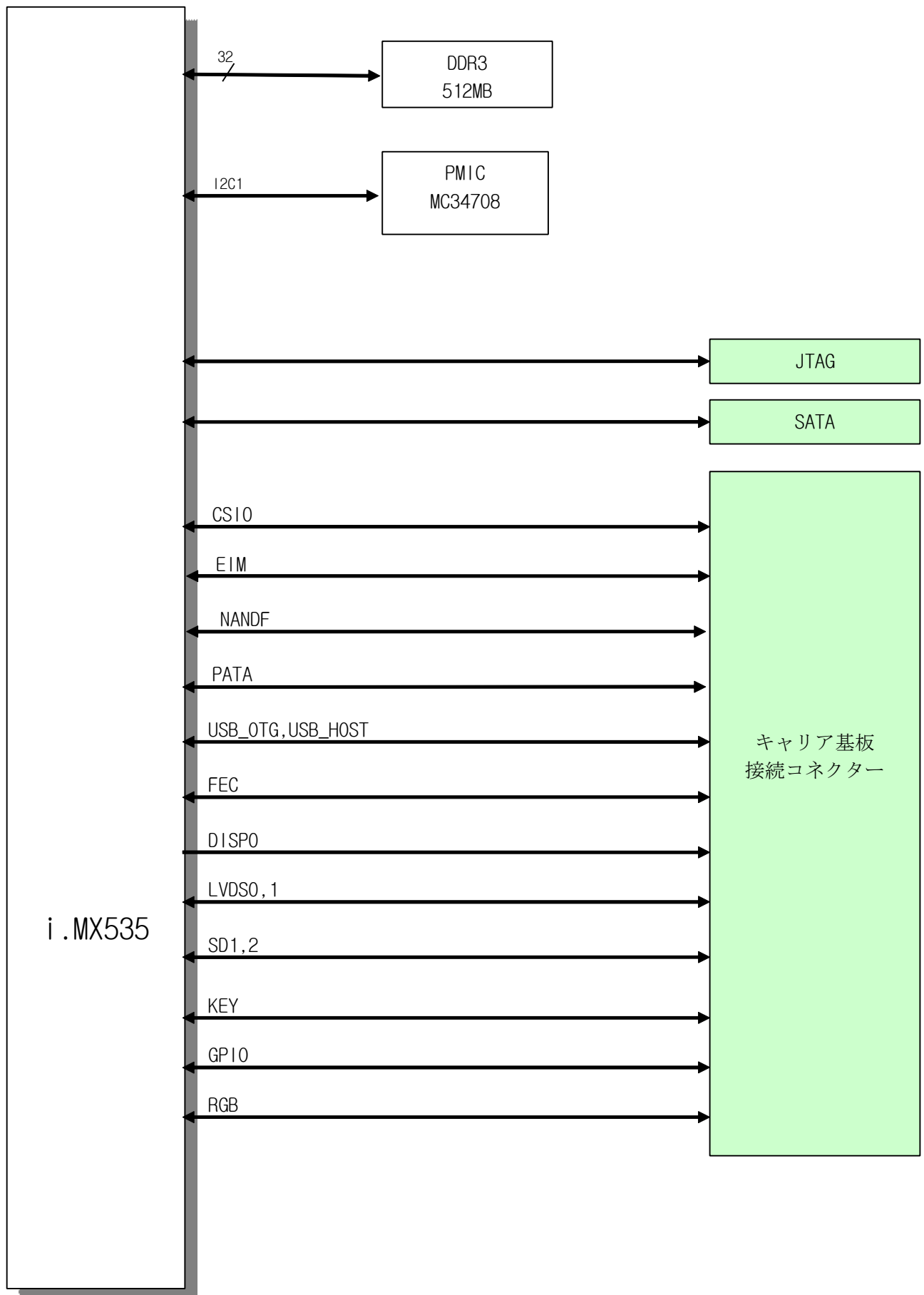


図 1 ブロック図(1/2)

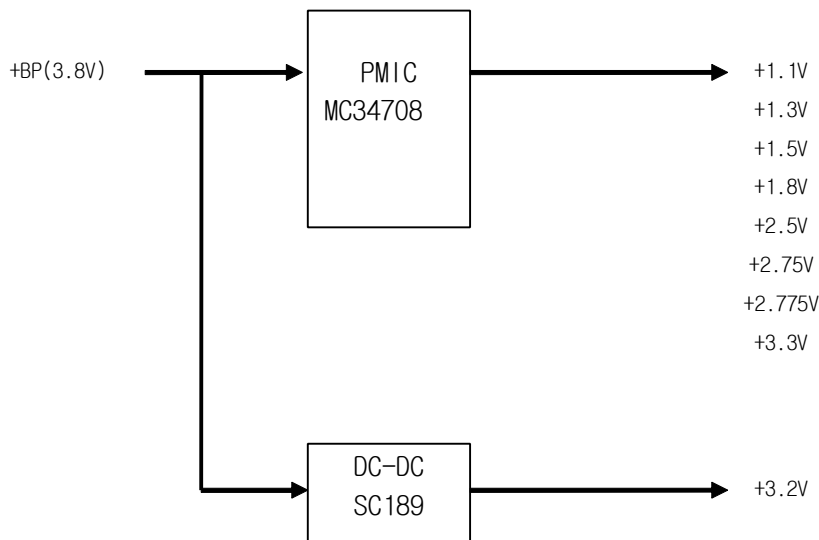


図 2 ブロック図(2/2)

4. 機能詳細

本リファレンスに搭載されている機能について、以下に記します。
なお、各デバイスの詳細については Datasheet を参照してください。

4.1. CPU

CPU として Freescale Semiconductor 製「i.MX535」(ARM Cortex-A8™ 1GHz)を搭載します。

4.2. DRAM

メインメモリとして DDR3 SDRAM (128MBx16)を使用します。
このメモリを 2 チップ使用することで合計容量を 512MByte とします。

4.3. JTAG

開発用に JTAG コネクタを搭載します。
以下に、JTAG コネクタの詳細を記します。

CN1 : JST 20FLZ-RSM2-TB

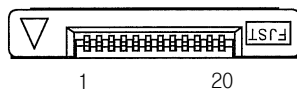


表 2 JTAG コネクタ・ピンアサイン

PIN	SIGNAL	PIN	SIGNAL
1	VTref	2	Vsupply (+3.2V)
3	nTRST	4	GND
5	TDI	6	GND
7	TMS	8	GND
9	TCK	10	GND
11	RTCK	12	GND
13	TDO	14	GND
15	nSRT	16	GND
17	DBGREQ	18	GND
19	DBGACK	20	GND

4.4. SATA

外部ストレージ用に SATA コネクタを 1 個を搭載します。(オプション)
以下に、SATA コネクタの詳細を記します。

CN2 : SATA

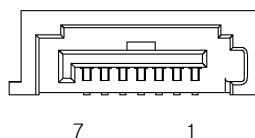


表 3 SATA コネクタ・ピンアサイン

PIN	SIGNAL
1	GND
2	TXP
3	TXN
4	GND
5	RXN
6	RXP
7	GND

4.5. キャリア基板接続コネクタ

以下にキャリア基板接続コネクタの詳細を記します。

CN4 : HIROSE FX10A-120P/12-SV(71)

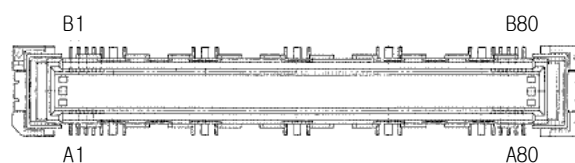


表 4 キャリア基板接続コネクタ・ピンアサイン

PIN	SIGNAL	電圧[V]	
A1	CSI0_PIXCLK	3.2	
A2	CSI0_DAT10	3.2	
A3	CSI0_DAT11	3.2	
A4	CSI0_DAT17	3.2	
A5	CSI0_DAT12	3.2	
A6	GND		
A7	CSI0_DAT16	3.2	
A8	CSI0_DAT14	3.2	
A9	CSI0_DAT15	3.2	
A10	EIM_D18	3.2	
A11	EIM_D19	3.2	
A12	EIM_D20	3.2	
A13	EIM_D22	3.2	
A14	EIM_D23	3.2	
A15	EIM_D24	3.2	
A16	EIM_D28	3.2	
A17	GND		
A18	EIM_D26	3.2	
A19	EIM_D29	3.2	
A20	EIM_DA1	3.2	
A21	EIM_DA7	3.2	
A22	EIM_DA11	3.2	
A23	EIM_DA13	3.2	
A24	NANDF_RE_N	3.2	
A25	EIM_WAIT	3.2	
A26	NANDF_WP_N	3.2	
A27	3V2_EN	3.2	
A28	GND		
A29	LVDS1_TX2_P	2.5	
A30	LVDS1_TX2_N	2.5	
A31	LVDS1_TX3_P	2.5	
A32	LVDS1_TX3_N	2.5	
A33	LVDS1_TX1_P	2.5	
A34	LVDS1_TX1_N	2.5	
A35	LVDS1_CLK_P	2.5	
A36	LVDS1_CLK_N	2.5	
A37	LVDS1_TX0_P	2.5	
A38	LVDS1_TX0_N	2.5	
A39	GND		
A40	LVDS0_TX2_P	2.5	
A41	LVDS0_TX2_N	2.5	
A42	LVDS0_TX3_P	2.5	
A43	LVDS0_TX3_N	2.5	
A44	LVDS0_TX0_P	2.5	

A45	LVDS0_TX0_N	2.5	
A46	LVDS0_CLK_P	2.5	
A47	LVDS0_CLK_N	2.5	
A48	LVDS0_TX1_P	2.5	
A49	LVDS0_TX1_N	2.5	
A50	GND		
A51	EIM_EB2	3.2	
A52	EIM_EB0	3.2	
A53	EIM_EB3	3.2	
A54	EIM_RW	3.2	
A55	EIM_EB1	3.2	
A56	EIM_LBA	3.2	
A57	EIM_CS1	3.2	
A58	EIM_OE	3.2	
A59	EIM_CS0	3.2	
A60	EIM_BCLK	3.2	
A61	GND		
A62	PORT_ID1	AI	PMIC ADIN9 (2.5V 10K Ω で PU)
A63	TS_YP	AIO	PMIC TSY1/ADIN14
A64	TS_YN	AIO	PMIC TSY2/ADIN15
A65	TS_XN	AIO	PMIC TSX2/ADIN13
A66	TS_XP	AIO	PMIC TSX1/ADIN12
B1	PATA_DATA0	3.2	
B2	PATA_DATA3	3.2	
B3	PATA_DATA1	3.2	
B4	PATA_DATA6	3.2	
B5	CSI0_HSYNC	3.2	
B6	GND		
B7	CSI0_DATA_EN	3.2	
B8	CSI0_DAT18	3.2	
B9	CSI0_DAT19	3.2	
B10	EIM_D21	3.2	
B11	EIM_D27	3.2	
B12	EIM_D25	3.2	
B13	EIM_D30	3.2	
B14	PATA_DATA2	3.2	
B15	PATA_DATA7	3.2	
B16	PATA_DATA4	3.2	
B17	GND		
B18	PATA_DATA5	3.2	
B19	CSI0_VSYNC	3.2	
B20	CSI0_DAT6	3.2	
B21	CSI0_DAT13	3.2	
B22	EIM_D16	3.2	
B23	EIM_D17	3.2	
B24	EIM_A22	3.2	
B25	EIM_A18	3.2	
B26	EIM_A21	3.2	
B27	EIM_A17	3.2	
B28	GND		
B29	EIM_A23	3.2	
B30	EIM_A25	3.2	
B31	EIM_A19	3.2	
B32	EIM_D31	3.2	
B33	EIM_A24	3.2	
B34	EIM_A16	3.2	
B35	EIM_A20	3.2	
B36	EIM_DA4	3.2	
B37	EIM_DA2	3.2	

B38	EIM_DA10	3.2	
B39	GND		
B40	EIM_DA8	3.2	
B41	NANDF_WE_N	3.2	
B42	EIM_DA3	3.2	
B43	EIM_DA5	3.2	
B44	EIM_DA14	3.2	
B45	EIM_DA12	3.2	
B46	EIM_DA0	3.2	
B47	EIM_DA6	3.2	
B48	EIM_DA15	3.2	
B49	EIM_DA9	3.2	
B50	GND		
B51	NANDF_CLE	3.2	
B52	NANDF_ALE	3.2	
B53	NANDF_RB0	3.2	
B54	NANDF_CS0	3.2	
B55	NANDF_CS1	3.2	
B56	NANDF_CS3	3.2	
B57	NANDF_CS2	3.2	
B58	GPIO11	3.2	
B59	GPIO10	3.2	
B60	GPIO12	3.2	
B61	GND		
B62	GPIO14	3.2	
B63	GPIO13	3.2	
B64	LICELL	P	PMIC LICELL
B65	PWRON1	3.2	PMIC PWRON1
B66	PORT_ID0	AI	PMIC ADIN10 (2.5V 10K Ω でPU)

CN5 : HIROSE FX10A-120P/12-SV(71)

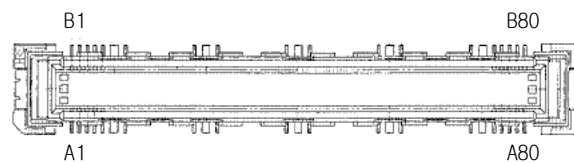


表 5 キャリア基板接続コネクタ・ピンアサイン

PIN	SIGNAL	電圧[V]	
A1	RSTOUT_N	3.2	RESET OUT
A2	DISP0_DAT11	2.775	
A3	DISP0_DAT5	2.775	
A4	DISP0_DAT1	2.775	
A5	DISP0_DAT0	2.775	
A6	GND		
A7	DISP0_DAT12	2.775	
A8	DISP0_DAT7	2.775	
A9	DISP0_DAT2	2.775	
A10	DISP0_DAT10	2.775	
A11	DISP0_DAT6	2.775	
A12	DISP0_DAT14	2.775	
A13	DISP0_DAT3	2.775	
A14	DISP0_DAT19	2.775	
A15	DISP0_DAT4	2.775	
A16	DISP0_DAT21	2.775	
A17	GND		

A18	DISP0_DAT23	2.775	
A19	DISP0_DAT22	2.775	
A20	PATA_DMACK	3.2	
A21	PATA_DMARQ	3.2	
A22	PATA_RESET_B	3.2	
A23	PATA_IORDY	3.2	
A24	PATA_CS1	3.2	
A25	PATA_INTRQ	3.2	
A26	PATA_DA0	3.2	
A27	PATA_DATA11	3.2	
A28	GND		
A29	PATA_DATA13	3.2	
A30	PATA_DATA12	3.2	
A31	KEY_COL0	3.2	
A32	DISP0_VSYNC	2.775	
A33	DIO_PIN4	2.775	
A34	DISP0_HSYNC	2.775	
A35	DISP0_DRDY	2.775	
A36	PATA_DATA14	3.2	
A37	CSI0_DAT7	3.2	
A38	PATA_DATA8	2.775	
A39	GND		
A40	PATA_DATA15	3.2	
A41	PATA_DATA9	3.2	
A42	PATA_DATA10	3.2	
A43	PATA_DA2	3.2	
A44	PATA_DA1	3.2	
A45	PATA_CS0	3.2	
A46	PATA_DIOR	3.2	
A47	PATA_BUFFER_EN	3.2	
A48	PATA_DIOW	3.2	
A49	SD2_DATA1	3.2	
A50	GND		
A51	SD2_CLK	3.2	
A52	SD1_CLK	3.2	
A53	SD2_CMD	3.2	
A54	SD1_DATA3	3.2	
A55	SD1_DATA2	3.2	
A56	SD1_DATA1	3.2	
A57	SD1_CMD	3.2	
A58	SD1_DATA0	3.2	
A59	USB_HOST_VBUS	5	
A60			
A61	GND		
A62			
A63	+BP	3.8	
A64	+BP	3.8	
A65	+BP	3.8	
A66	+BP	3.8	
B1	RST_IN_N	3.2	
B2	DISP0_DAT16	2.775	
B3	DISP0_DAT9	2.775	
B4	DISP0_DAT17	2.775	
B5	DISP0_DAT13	2.775	
B6	GND		
B7	DISP0_DAT8	2.775	
B8	DISP0_DAT20	2.775	
B9	DISP0_DAT15	2.775	
B10	DISP0_DAT18	2.775	

B11	GPIO0	3.2	
B12	GPIO1	3.2	
B13	GPIO3	3.2	
B14	GPIO6	3.2	
B15	GPIO8	3.2	
B16	GPIO7	3.2	
B17	GND		
B18	GPIO19	3.2	
B19	GPIO17	3.2	
B20	KEY_ROW0	3.2	
B21	KEY_ROW3	3.2	
B22	KEY_COL2	3.2	
B23	KEY_ROW2	3.2	
B24	KEY_COL4	3.2	
B25	KEY_ROW1	3.2	
B26	GPIO2	3.2	
B27	GPIO18	3.2	
B28	GND		
B29	KEY_ROW4	3.2	
B30	GPIO16	3.2	
B31	KEY_COL3	3.2	
B32	KEY_COL1	3.2	
B33	GPIO4	3.2	
B34	FEC_REF_CLK	3.2	
B35	FEC_TXD1	3.2	
B36	FEC_TX_EN	3.2	
B37	FEC_TXD0	3.2	
B38	FEC_RXD0	3.2	
B39	GND		
B40	FEC CRS_DV	3.2	
B41	FEC_MDIO	3.2	
B42	FEC_RXD1	3.2	
B43	FEC_RX_ER	3.2	
B44	FEC_MDC	3.2	
B45	SD2_DATA0	3.2	
B46	SD2_DATA3	3.2	
B47	SD2_DATA2	3.2	
B48	GND	3.2	
B49	DISP0_DCLK	3.2	
B50	GND		
B51	USB_HOST_DP	3.2	
B52	USB_HOST_DN	3.2	
B53	USB_OTG_ID	3.2	
B54	USB_OTG_DP	3.2	
B55	USB_OTG_DN	3.2	
B56	USB_OTG_VBUS	P	
B57	USB_OTG_VBUS	P	
B58	IOR	AO	
B59	IOG	AO	
B60	IOB	AO	
B61	GND		
B62	VGND		
B63	+BP	PIN	
B64	+BP	PIN	
B65	+BP	PIN	
B66	+BP	PIN	

5 ポートマップ

以下に本リファレンスのポートマップを記します。

5.1. I2C

I2C の接続先とアドレスを下表に記します。

表 6 I2C ポートマップ

I2C	DEVICE	アドレス
1	PMIC MC34708	08h

6. BOOT

BOOT_MODE は Internal Boot (BOOT_MODE[1:0]=00)です。

7. LED

LED1(Orange):PMIC-PWM1

LED2(Green):3.2V

LED3(Red):PMIC-CHRGLEDR

LED4(Green):PMIC-CHRGLEDG

8. SWITCH

S1:RESET SW

PMIC GLBRST

9. 寸法図

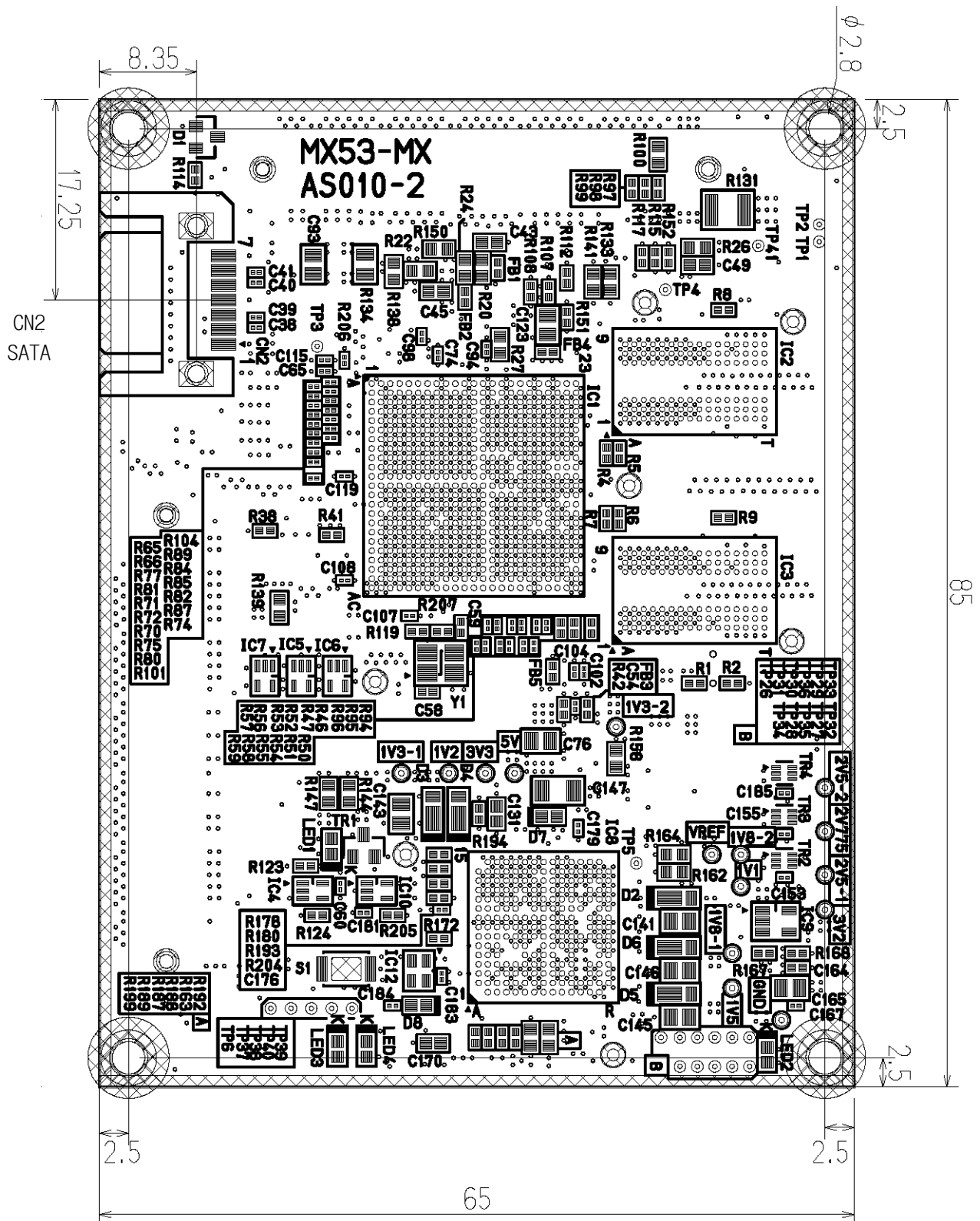


図 3 部品面寸法図

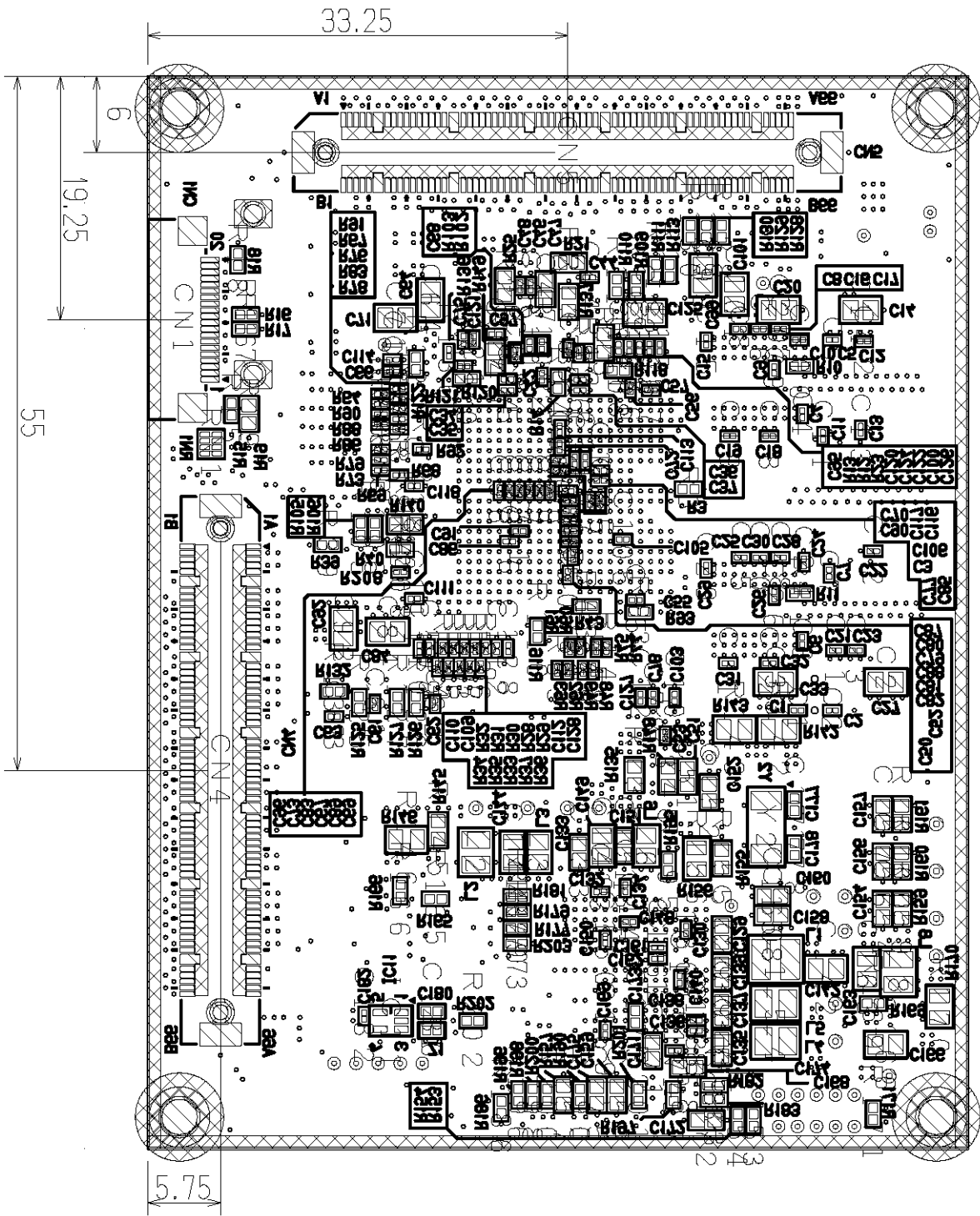


図4 半田面寸法図 (部品面視)



図5 側面寸法図